

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-293869

⑬ Int. Cl.⁴
H 01 L 23/50

⑭ 識別記号
庁内整理番号
Q-7735-5F

⑮ 公開 昭和63年(1988)11月30日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 リードフレーム

⑰ 特 願 昭62-130180

⑱ 出 願 昭62(1987)5月26日

⑲ 発 明 者 大 矢 信 吾 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内

⑳ 出 願 人 日本電気アイシーマイ
コンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代 理 人 弁護士 内 原 吾

明 細 書

発明の名称

リードフレーム

特許請求の範囲

アイランドと該アイランドを支持するアイランド支持片と前記アイランドの周辺に配置された複数のリード線と上下のフレーム間を通して前記リード線の周を通過するタイバーとを一端にして区切る仕切部とが金属帯板に連続して複数設けられるリードフレームにおいて、前記アイランドと前記タイバーとの間に前記アイランド支持片を少なくとも二つ設けたことを特徴とするリードフレーム。

発明の詳細な説明

(産業上の利用分野)

本発明はリードフレームに関する。

(従来の技術)

最近の半導体ICの高集積化と高速度化に伴い、内部のICチップに内部インピーダンスの小さい低抵抗電路を供給するリードフレームが要求されてきた。

第3図は従来のリードフレームの一例の平面図である。

リードフレーム11には、上下フレームP、及びP、と仕切部15に区切られた同一パターンが金属帯板に連続して複数設けられている。

一端のパターンの中央には、アイランド12とそれを支持するために上下フレームP、及びP、とそれぞれに対応するアイランド12の二つの短辺1、に設けられた二本のアイランド支持片13、13、がある。

アイランド12の周辺には、リード線11、11、～11、11、が、アイランド支持片13、13に對称に配置されている。

各リード線11～11、を組合せて固定するために、それらと直交して上下フレームP、及びP、間に通されたタイバー14が左右に二つ設けられ

ている。

なお、アイランド支持片13は、接地端子である第21番目のリード線11と一体となって他のリード線に比べて幅が広がっている。

一点断面に示すように、DIP形積層防止ICのIC部16の外部の全リード線11〜14は、積層防止工程後に露出されて、上下フレームP、P、と仕切部15とリード線を覆すタイバー14が切落されて外部ピンとなる。

一般に、リード線の番号は、第1番目のリード線11(1ピンともいう)の方向を示すインデックスノッチ18のある角から付けられている。

直流電源の供給には角の端子が多く用いられており、ここでは第1番目のリード線11が電源端子、また対角線上の第21番目のリード線11が接地端子となっている。

(発明が解決しようとする問題点)

前述した従来のリードフレームは、多数のリード線を平面配置するのでアイランド12から遠く角に近いリード線は細長くなり、さらにアイラン

ド支持片に隣接する直流電源又は接地端子のいずれか一つのリード線幅が細くなっているため、直流電源回路の内部寄生インダクタンスが大きくなり、高周波特性やノイズ耐性が悪化するという問題があった。

本発明の目的は、高周波特性やノイズ耐性性のよいDIP形積層防止ICに使用されるリードフレームを提供することにある。

(問題点を解決するための手段)

本発明のリードフレームは、アイランドと該アイランドを支持するアイランド支持片と前記アイランドの周辺に配置された複数のリード線と上下のフレーム間を通して前記リード線の間を通導するタイバーとを一体にして区切る仕切部とが全面帯状に施して複数設けられるリードフレームにおいて、前記アイランドと前記タイバーとの間に前記アイランド支持片を少なくとも二つ設けて構成されている。

(実施例)

次に、本発明の実施例について図面を参照して

説明する。

第1図は本発明の一実施例の平面図である。

リードフレーム1は、第3図のリードフレーム11の二つの角端子のリード線11及び11とアイランド支持片13を、それぞれ第1図のリードフレーム1のリード線11及び11とアイランド支持片3に接続し、リード線の本数を40本から14本に減少した以外はほぼ同様である。

すなわちリードフレーム1には、上下のリードフレームP、及びP、と仕切部5に区切られた同一パターンが全面帯状に施して複数設けられている。

一組のパターンの中央には、アイランド2が配置され、その周辺には、複数のリード線11〜14が該アイランド2と点対称に配置されている。

各リード線を固定するために、それらと重支して上下フレームP、及びP、間を通されたタイバー4が二つ設けられている。

アイランド2は、その二つの長辺1、と左右二

つのタイバー4の間に設けられた二本のアイランド支持片3及び接地端子である第8番目のリード線11の内部先端と一体となって支持されている。

もう一方の直流電源を供給する第1番目のリード線11は、接地端子11の内部リードの端と同様に、他の内部リードよりも幅の広い構造となっている。

第2図は本発明のリードフレームを使用したDIP形積層防止ICの一断面図である。

DIP形積層防止IC7は、アイランド2に配置されたICチップ8のボンディングパッド9とリード線11、11の内部リードの先端部を対応してボンディングワイヤで接続した後、IC部16で封止して、リード線の外部を覆して、上下フレームP、P、タイバー4及びアイランド支持片3を切落した構造となっている。

直流電源の第1番目のリード線11の内部は、接地端子11と同様に幅が広いのでリード線

の寄生インダクタンスは小さい。

上述の実施例において、アイランド支持片3をアイランド2の長辺1、のほぼ中央に二本置いたが、アイランド2の長辺、が短い場合には二本以上置けてもよい。

(発明の効果)

以上説明したように本発明のリードフレームは、アイランド支持片をアイランドの長辺とタイパーとの間に二つ以上設置することにより、従来のアイランド支持片が存在していた場所を用いて底面電極接続のリード線の幅を広くして内部の寄生インダクタンスを下げることが出来るので、高周波特性やノイズ耐量特性のよい、かつ従来の電子設備の互換性のあるDIP形実装列とICが得られるという効果がある。

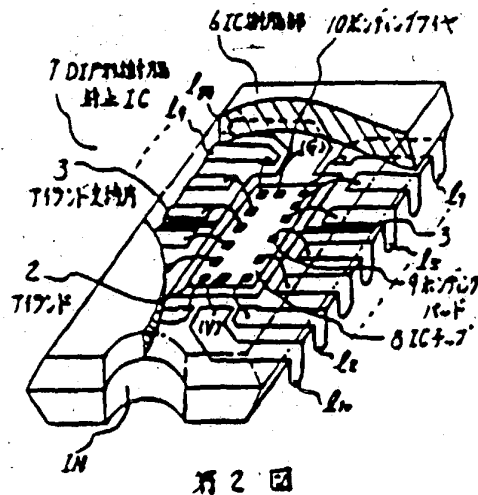
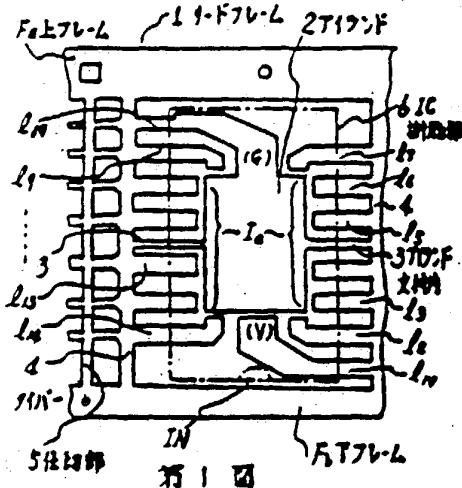
図面の簡単な説明

第1図は本発明の一実施例の平面図、第2図は第1図のリードフレームを使用した実装回路の一部切欠き側面図、第3図は従来のリードフレーム

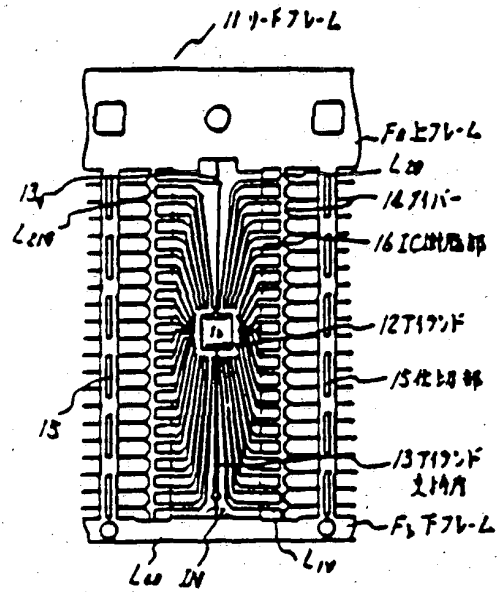
の一例の平面図である。

1ーリードフレーム、P、P、…上、アフレーム、2ーアイランド、3ーアイランド支持片、4ータイパー、5ー仕切部。

代理人 弁理士 内 藤



特開昭63-293869(4)



第3図